

# ELECTRÓNICA III

2016/20017

## PROJECTO 2

Projecte, simule em SPICE e faça o *layout* na tecnologia Orbit CN20 de um gerador de sequência com as seguintes especificações:

- deve obedecer a uma sequência específica (ver Tabela 1)
- o sinal de relógio é gerado internamente por um oscilador em anel com pelo menos cinco andares
- tensão de alimentação 5V
- cada sinal de saída está ligado a um *bondpad* (dimensões  $100\mu\text{m}\times 100\mu\text{m}$ )

Desenhe o circuito numa família lógica dinâmica (C2MOS, ou TSPCL) utilizando portas NAND2, NAND3, NOR2, NOR3, etc. O objectivo fundamental é desenhar o circuito para a maior frequência de operação possível. O objectivo secundário é minimizar a área do circuito. O layout deve ser realizado utilizando células num formato standard e deve ser hierárquico.

Escreva um relatório onde apresenta

- a tabela de estados e a minimização lógica do circuito
- o dimensionamento dos transistores nas portas e flip-flops (justificando)
- os tempos de propagação dos vários andares do pipeline (com cálculos à mão) e uma estimativa da maior frequência possível para o sinal de relógio
- os esquemáticos e os diagramas temporais em SPICE
- o layout do circuito, com os barramentos de dados e a ligação dos sinais ao *padframe*
- uma conclusão com uma tabela comparando os tempos de propagação calculados e medidos para os vários andares do pipeline

Prepare-se para defender o relatório numa apresentação oral.

Tabela 1: Sequência específica

ANDRÉ SANTOS	a39064@ualg.pt	6	4	11	14	0	2	15	3	6	...
BRUNO BRASIL	a45934@ualg.pt	4	11	2	5	13	7	0	14	4	...
JOÃO CARLOS RODRIGUES	a42409@ualg.pt	0	12	15	8	4	10	9	6	0	...