

PROJECTO 1

Projecte, simule em SPICE, e faça o layout na tecnologia Orbit CN20 de um circuito lógico com 3 entradas (I0, I1, I2) e 5 saídas (O0, O1, O2, O3, O4) cuja tabela de verdade se apresenta a seguir.

I2	I1	I0	O4	O3	O2	O1	O0
0	0	0			A		
0	0	1			B		
0	1	0			C		
0	1	1			D		
1	0	0			E		
1	0	1			F		
1	1	0			G		
1	1	1			H		

A tensão de alimentação é 5 V. Os sinais de entrada são gerados por um gerador de sinais com uma impedância de saída de 50Ω. Desenhe o circuito em lógica estática complementar.

O objectivo fundamental é desenhar o circuito para funcionar na maior frequência de operação possível, minimizando os tempos de propagação das portas (t_{pLH} e t_{pHL} devem ser aproximadamente iguais). O objectivo secundário é minimizar a área do layout. O layout deve ser realizado com "standard cells".

O relatório do projecto deverá ter cinco secções (a) Síntese do circuito (b) Especificações teóricas (c) Simulação - Medições (d) Layout (e) Conclusão

O relatório será avaliado numa escala de 0 a 20 valores de acordo com o seguinte critério:

- síntese 2.5 valores
- valores teóricos 5 valores
- valores simulados 5 valores
- layout 5 valores
- conclusão 2.5 valores

O relatório deverá ter na secção "Conclusão" uma tabela com os tempos de propagação (2 algarismos significativos) teóricos e simulados para os cinco circuitos:

	Valores teóricos		Valores simulados SPICE	
	$tpLH$	$tpHL$	$tpLH$	$tpHL$
O0				
O1				
O2				
O3				
O4				

O projecto é individual (ver ANEXO). Prepare-se para o defender numa apresentação oral.

ANEXO

		A	B	C	D	E	F	G	H
ANDRÉ SANTOS	a39064@ualg.pt	00101	10001	11010	11010	01101	11000	01001	11010
BRUNO BRASIL	a45934@ualg.pt	00111	01110	01100	10110	11100	01110	00011	10110
JOÃO CARLOS RODRIGUES	a42409@ualg.pt	00110	11100	01001	01101	11110	11110	11101	01010
