

# Electrónica III

## LAB 07 - PORTAS CMOS EM LÓGICA DINÂMICA

### A. NAND3

1. Desenhe uma porta NAND de 3 entradas (A,B,C) em lógica dinâmica da família C2MOS. Utilize os parâmetros da tecnologia Orbit CN20 e considere as dimensões do transistor elementar  $W=6\mu\text{m}$   $L=2\mu\text{m}$

a) Calcule o tempo de propagação teórico  $t_p$  da porta durante o intervalo de avaliação

$t_p =$  \_\_\_\_\_

b) Simule o circuito em PSPICE com uma frequência de relógio de  $f_{ck} = 100\text{MHz}$ . Verifique o funcionamento correcto do circuito e meça o tempo de propagação durante o intervalo de avaliação

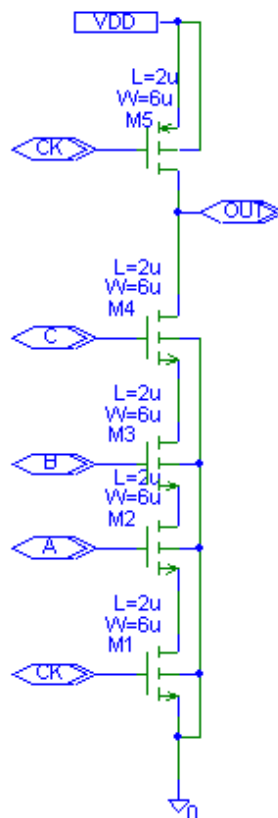
c) Encontre a frequência de relógio mínima, máxima em que o circuito deixa de funcionar

$f_{ck\_min} =$  \_\_\_\_\_  $f_{ck\_max} =$  \_\_\_\_\_

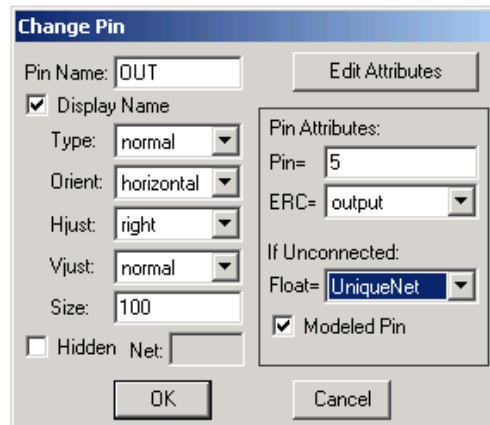
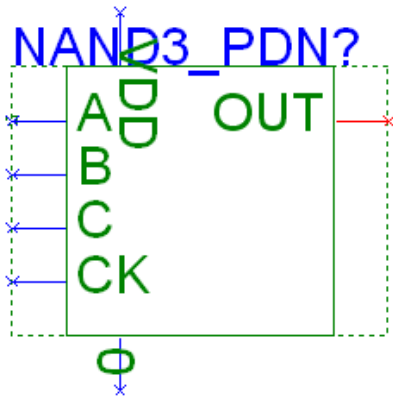
### SOLUÇÃO

Em lógica dinâmica da família C2MOS, qualquer porta pode ser construída utilizando o bloco PDN-"Pull down network", ou o bloco PUN-"Pull up network"

a) Construa o esquemático NAND3\_PDN e guarde-o num ficheiro (por exemplo NAND3\_PDN.sch).



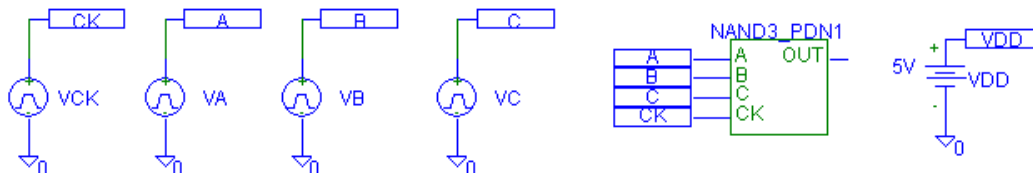
- Crie um símbolo, chame-lhe NAND3\_PDN, e guarde-o numa livreria de simbolos à sua escolha (por exemplo symbols.slb). Não se esqueça de alterar os atributos do pin "OUT" para "Float=UniqueNet"



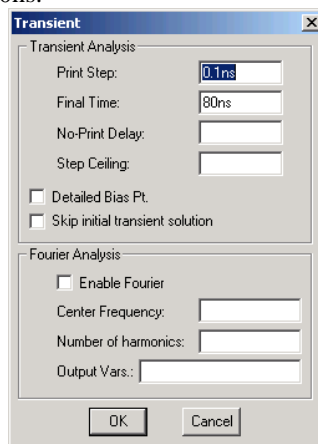
- Construa um circuito de teste (chame-lhe TEST\_NAND3\_PDN.sch). Este circuito, para além da tensão DC de alimentação VDD=5V, tem 4 geradores de onda quadrada VCK, VA, VB, VC com as seguintes especificações

SIGNAL	V1	V2	TD	TR	TF	PW	PER
VCK	0	5	5ns	0.1ns	0.1ns	5ns	10ns
VA	0	5	0ns	0.1ns	0.1ns	10ns	20ns
VB	0	5	0ns	0.1ns	0.1ns	20ns	40ns
VC	0	5	0ns	0.1ns	0.1ns	40ns	80ns

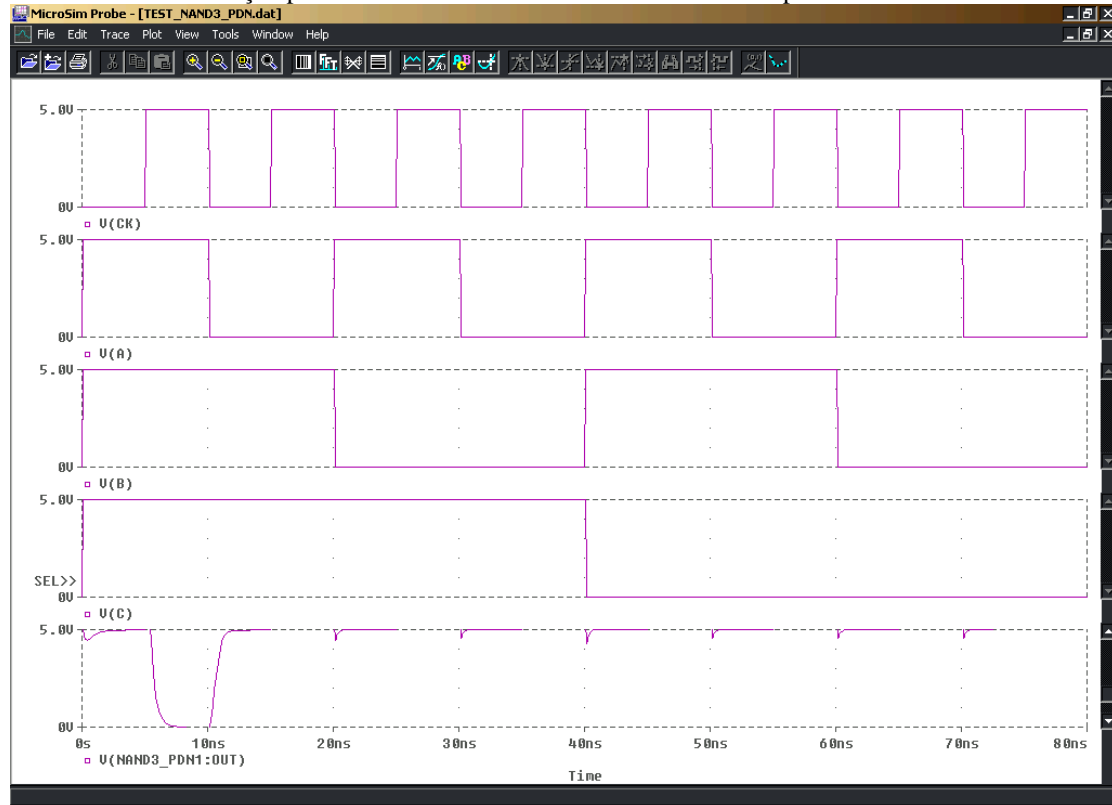
Repare que o sinal de relógio VCK está **atrasado** de 5ns relativamente aos outros sinais (o sinal de relógio deve aparecer **depois** dos sinais de entrada terem estabilizado!)



O tempo de simulação deve ser de 80ns:

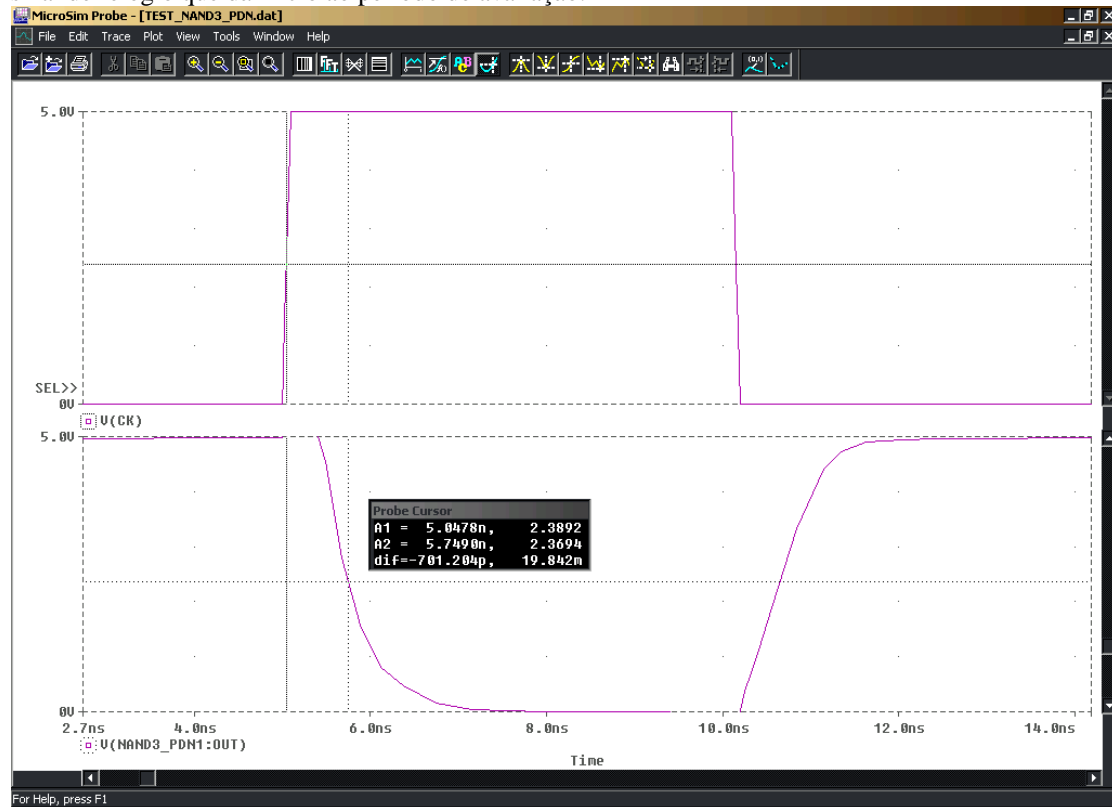


O resultado da simulação permite verificar o funcionamento correcto da porta NAND3



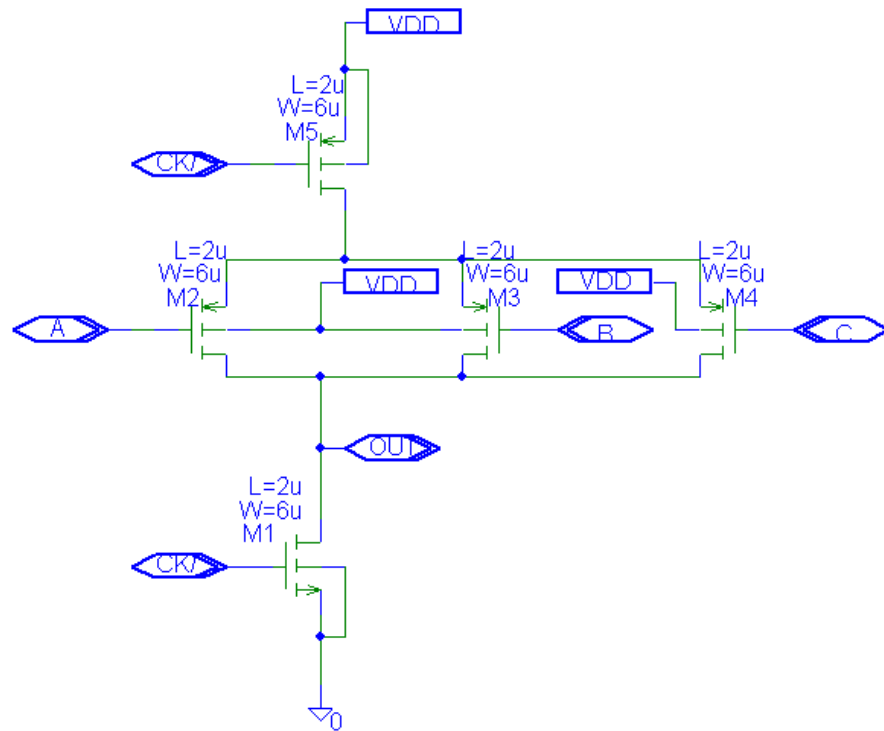
Repare que é apenas durante o periodo de avaliação (VCK=5V) que a saída apresenta um valor lógico

- o tempo de propagação durante a avaliação ( $t_{pHL}$ ) é medido utilizando como referência a transição do sinal de relógio que dá início ao período de avaliação:

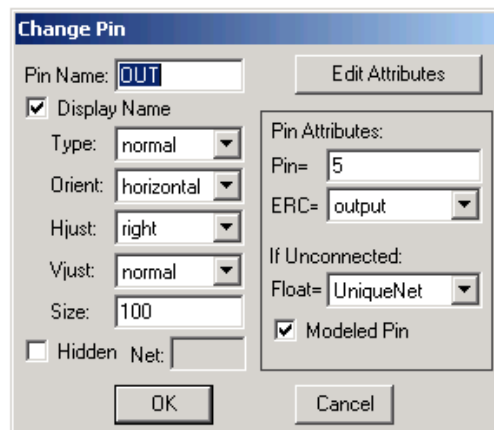
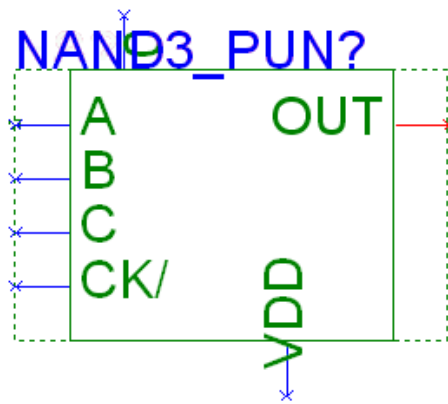


b) os mesmos passos podem ser repetidos agora para o circuito NAND3\_PUN

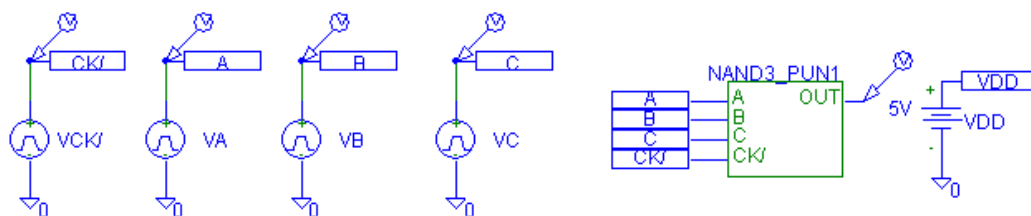
- diagrama esquemático NAND3\_PUN.sch



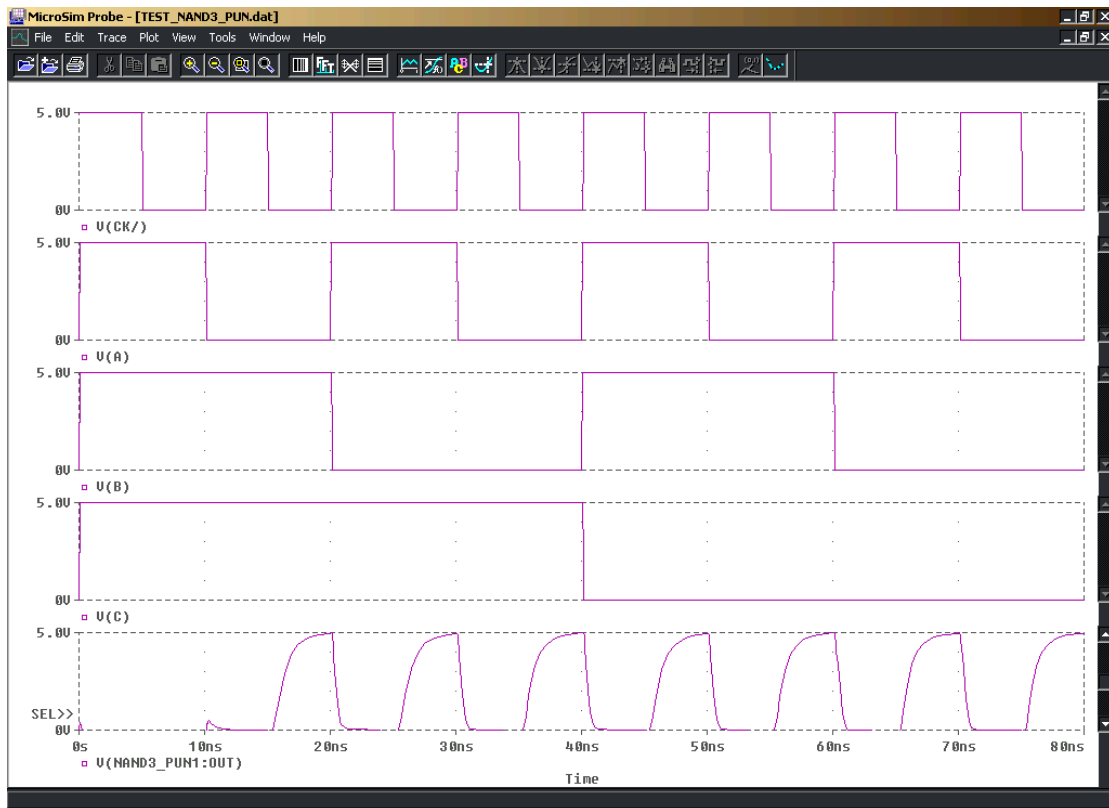
- simbolo



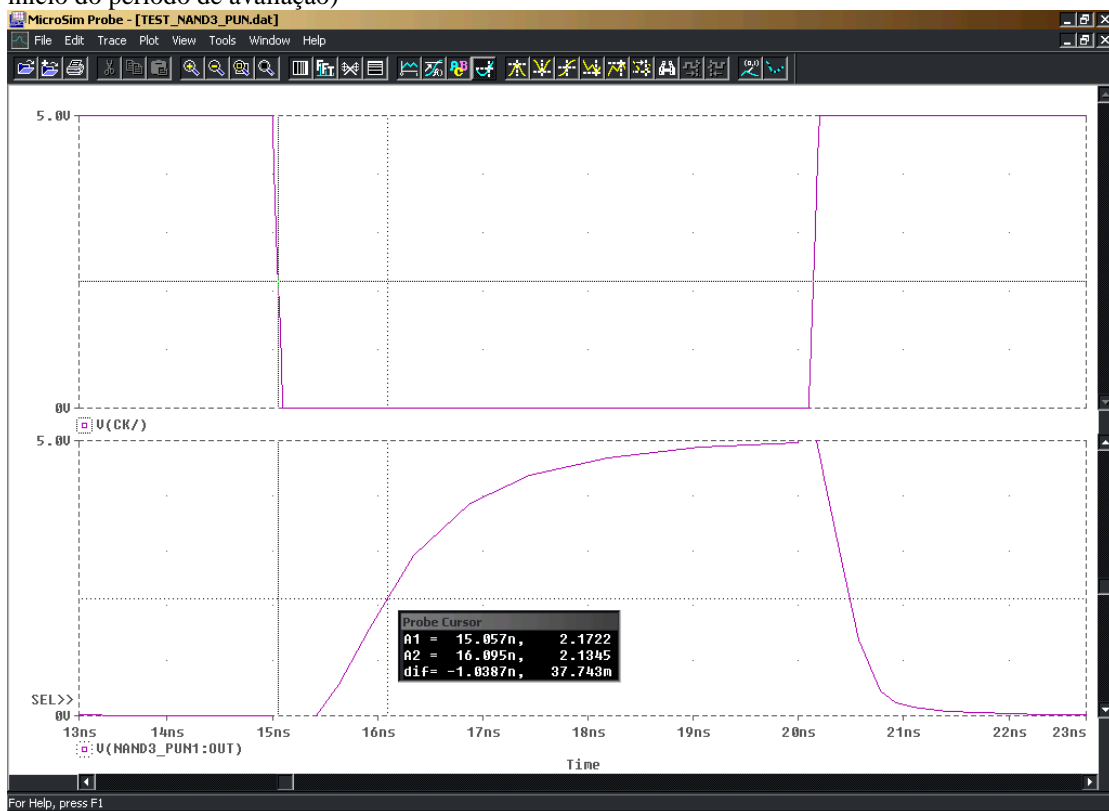
- circuito de teste TEST\_NAND3\_PUN.sch:



- plots (repare que o periodo de avaliação para a porta NAND3\_PUN é quando VCK/=0V):

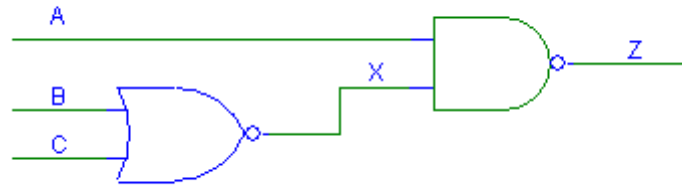


- tempo de propagação durante a avaliação (repare que é a transição VCK/ para 0V que dá origem ao início do periodo de avaliação)



## B. PORTAS LÓGICAS EM CASCATA

Desenhe o seguinte circuito em lógica dinâmica do tipo C2MOS, mantendo a configuração de duas portas em cascata.



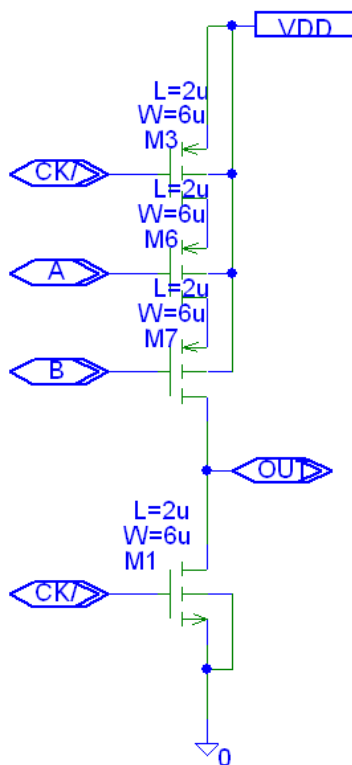
a) Calcule o tempo de propagação teórico  $tp_1 + tp_2$  do conjunto das 2 portas durante o intervalo de avaliação

$tp_1 + tp_2 =$  \_\_\_\_\_

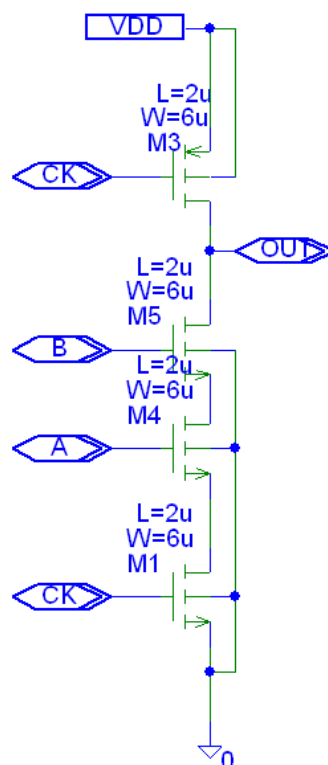
b) Simule o circuito em PSPICE com uma frequência de relógio de  $f_{ck} = 100\text{MHz}$ . Verifique o funcionamento correcto do circuito e meça o tempo de propagação durante o intervalo de avaliação

### SOLUÇÃO

- subcircuitos NOR2\_PDN e NAND2\_PUN

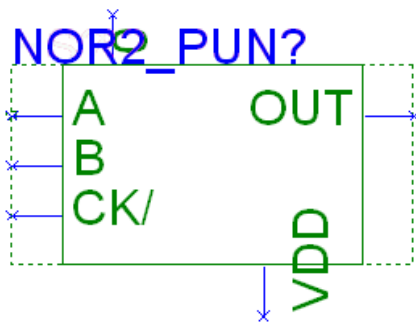


NOR2\_PUN.sch

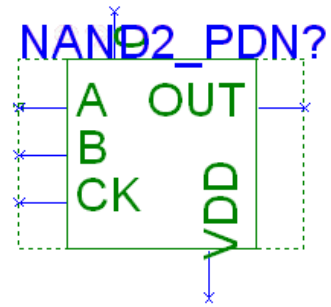


NAND2\_PDN.sch

- Símbolos correspondents



NOR2\_PUN



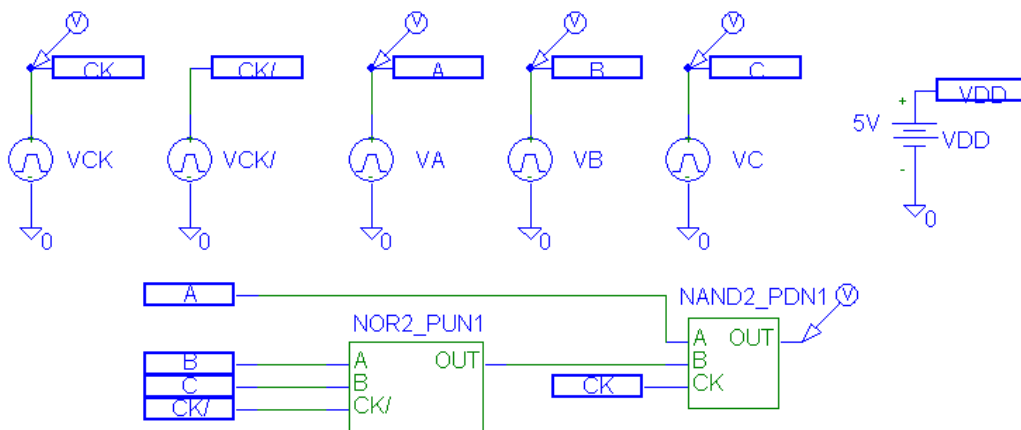
NAND2\_PDN

- Construa um circuito de teste (chame-lhe TEST\_LAB07 . sch). Este circuito, para além da tensão DC de alimentação VDD=5V, tem 5 geradores de onda quadrada VCK, VCK/, VA, VB, VC com as seguintes especificações

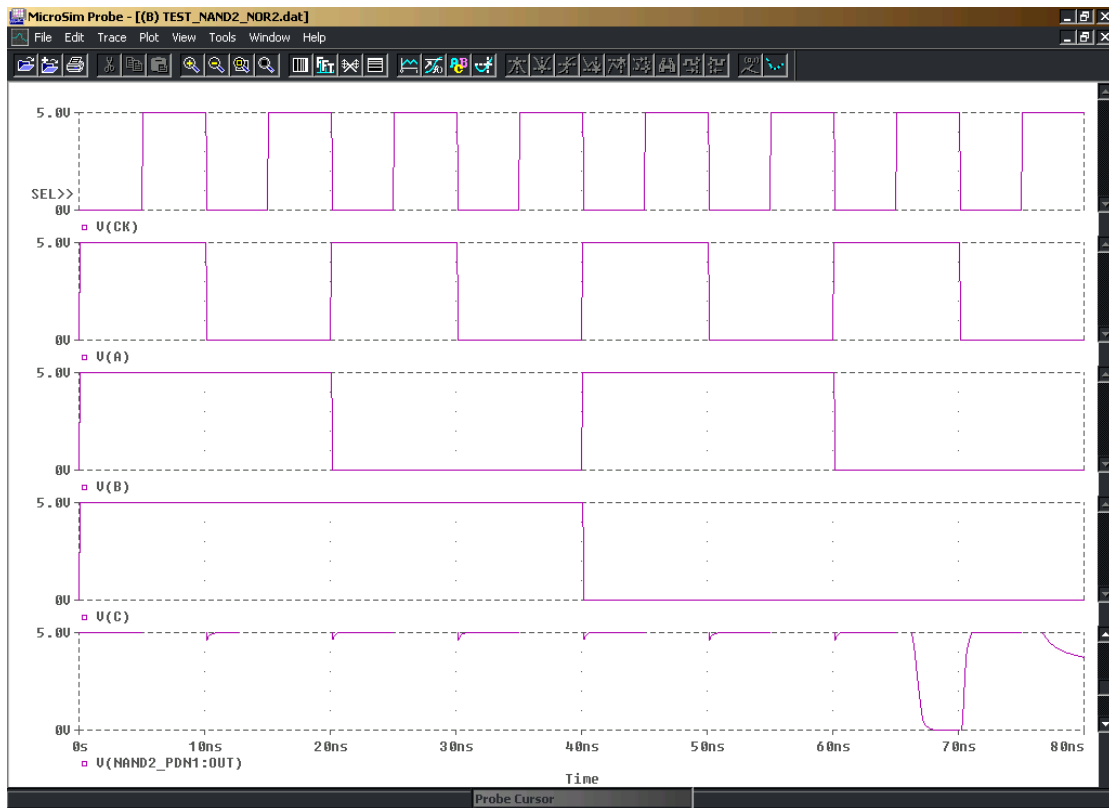
SIGNAL	V1	V2	TD	TR	TF	PW	PER
VCK	0	5	5ns	0.1ns	0.1ns	5ns	10ns
VCK/	5	0	5ns	0.1ns	0.1ns	5ns	10ns
VA	0	5	0ns	0.1ns	0.1ns	10ns	20ns
VB	0	5	0ns	0.1ns	0.1ns	20ns	40ns
VC	0	5	0ns	0.1ns	0.1ns	40ns	80ns

- Repare que o sinal de relógio VCK está **atrasado** de 5ns relativamente aos outros sinais (o sinal de relógio deve aparecer **depois** dos sinais de entrada terem estabilizado!). O sinal VCK/ é a negação de VCK

- Repare que é **obrigatório** alternar entre portas PDN e PUN quando se constroem portas em cascata em lógica dinâmica do tipo C2MOS



- Simule o circuito para um tempo de simulação máximo de 80 ns, e verifique o funcionamento correcto do circuito comparando com a tabela de verdade



- tempo de propagação  $tp_1+tp_2$  do circuito completo

