

μELECTRÔNICA AULA 4

FAMILIAS LÓGICAS DINÂMICAS

⊕ vantagens

- simplicidade equivalente a "ratioed logic" mas
- sem consumo de potência estático

⊖ desvantagens

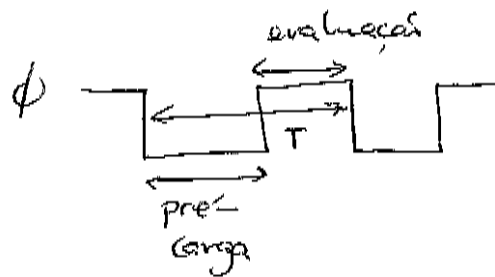
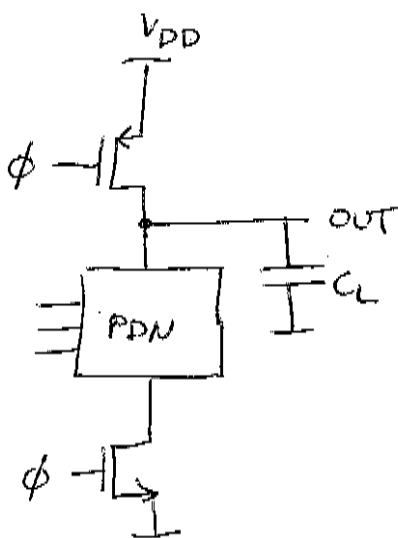
- necessita de um sinal de relógio com uma frequência mínima de operação (o valor lógico é armazenado nas capacidades intrínsecas da porta e perde-se ao fim de algum tempo devido a correntes de fuga)

Princípio de operação

O sinal de relógio (ie o PERÍODO) é dividido em 2 fases

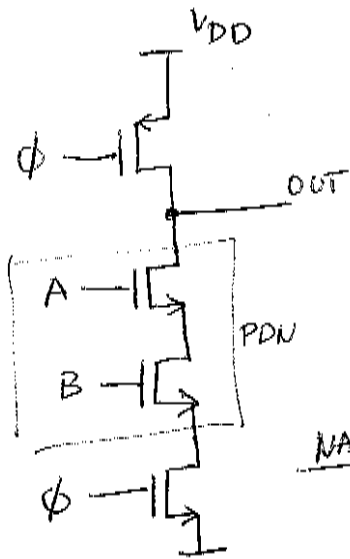
- 1 pré-carga
- 2 avaliação

Esquema básico

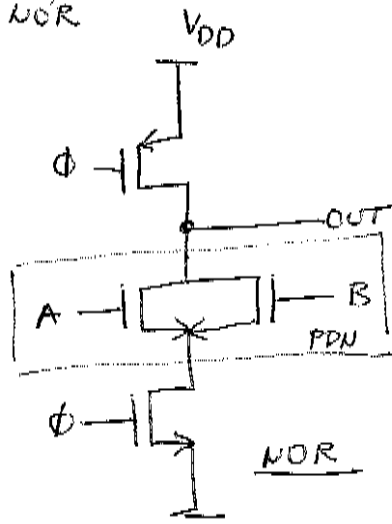


andar do tipo φn

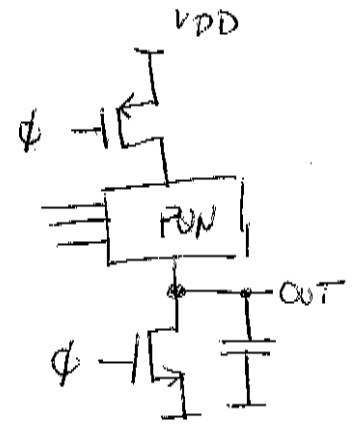
EXEMPLOS NAND, NOR



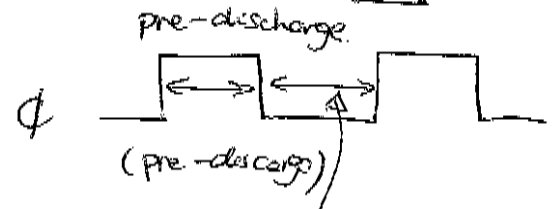
NAND



NOR



do tipo ϕP



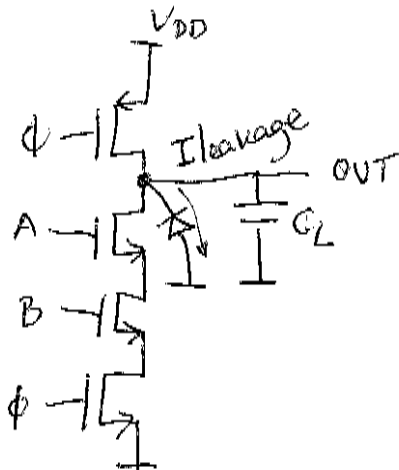
avaliação

dimensionamento dos transistores

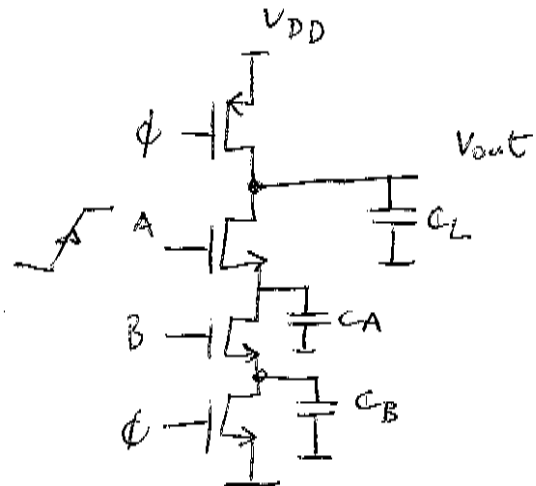
Estes devem ser dimensionados de forma a que a saída C_L carregue (descarregue) completamente em $\frac{1}{2}$ período ($\frac{1}{2}T$)

PROBLEMAS

- charge leakage (correntes de fuga)



- charge sharing

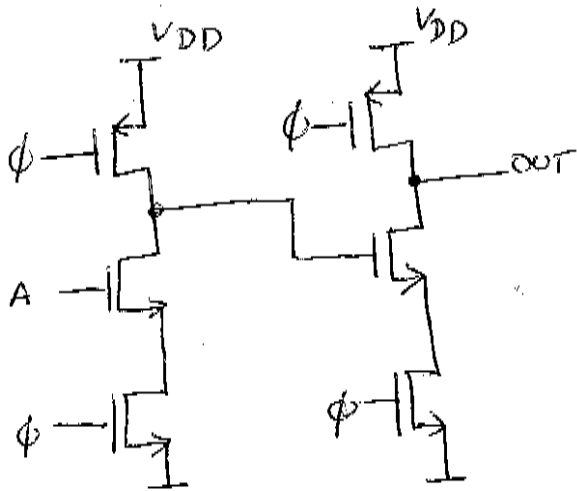


$$Q = C_L V_{DD}$$

$$Q = (C_L + C_A) V_{out}$$

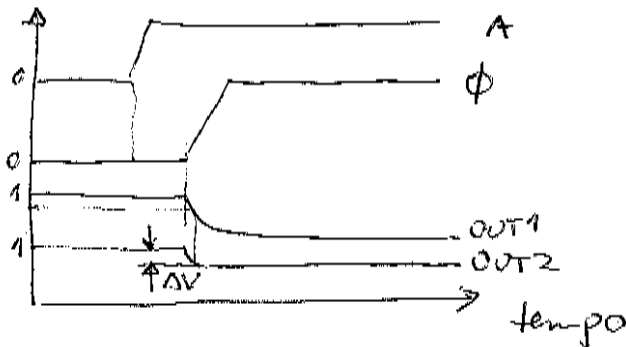
$$V_{out} = \frac{C_L}{C_L + C_A} V_{DD}$$

PORTAS DINÂMICAS EM CASCATA



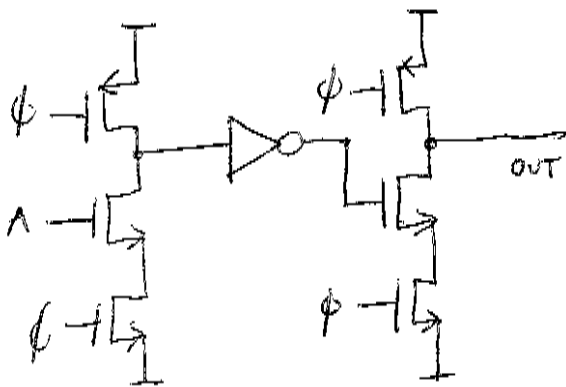
PROBLEMA

na fase de avaliação, se $A = 1$
 OUT deve ser igual a 1
mas enquanto a saída do 1º ANDAR
 não muda, a saída do segundo
andar começa a descarregar



A queda de tensão pode levar a
 um mau funcionamento do
 circuito

SOLUÇÃO: INTRODUÇÃO DE UM INVERSOR



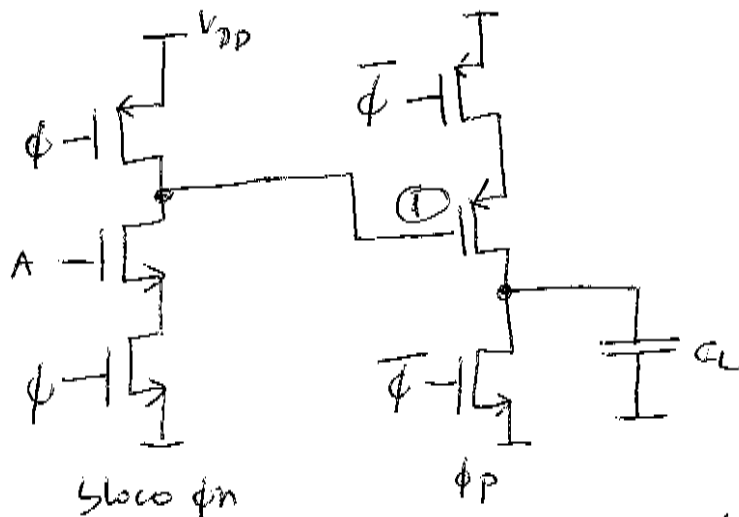
DESTA FORMA
 AS ENTRADAS SÓ PODEM FAZER TRANSIÇÕES $0 \rightarrow 1$
 (A entrada do primeiro segundo andar
 só muda de $0 \rightarrow 1$ quando a
 entrada do primeiro andar mudar)
 É um efeito DOMINÓ e por isso

chama-se a este estilo lógico DOMINO LOGIC

(o primeiro 32 bit processador [1981] na AT&T foi feito em Domino logic)

SOLUÇÃO AINDA MELHOR - Alterar blocos tipo $\boxed{\phi n}$ com

blocos tipo $\boxed{\phi p}$



durante a avaliação do primeiro bloco ($\phi = 1$), $\bar{\phi} = \phi$
o segundo bloco está tb a avaliar mas a entrada ①
está inicialmente a ① e só pode fazer transições $1 \rightarrow \phi$
de forma que o condensador não carregue qdo não é desejado

- este estilo tornou-se e ainda é muito popular (aparece na literatura com vários nomes np-CMOS logic, C²MOS logic, NORA logic. O 1º DEC Alpha process a 250 MHz foi construído neste estilo!)

- notar que é preciso gerar o complemento do sinal de relógio $\bar{\phi}$
(two-phase clocked logic)