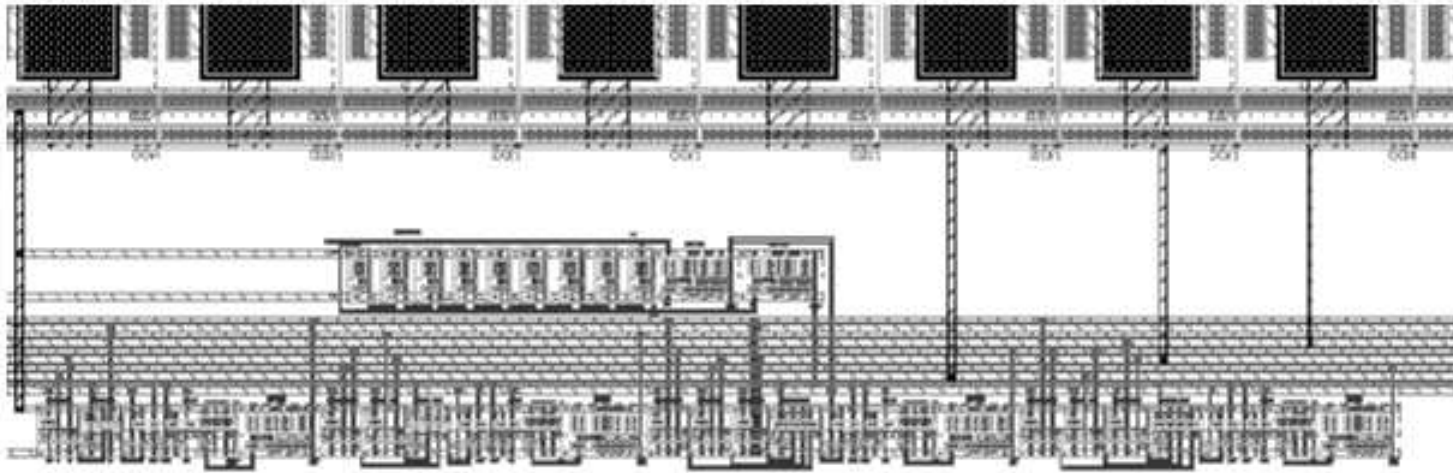


# Electrónica III

## 2016



- PÁGINA WEB

[http://intranet.deei.fct.ualg.pt/Electronica\\_III/](http://intranet.deei.fct.ualg.pt/Electronica_III/)

# Horário

Jose Bastos, GRS, Holidays in Portugal

Mon Sep 19 - Sun Sep 25, 2016 (Lisbon)

	Mon 19/9	Tue 20/9	Wed 21/9	Thu 22/9	Fri 23/9	Sat 24/9	Sun 25/9
08:00							
09:00							
10:00				Electronics III (P1) @ Cambio da CI 1.00 09:30 - 10:30			
11:00				Electronics III (P1) @ Cambio da CI 1.00 10:30 - 11:30			
12:00							
13:00							
14:00							
15:00							
16:00			Electronics III (P1) @ Cambio da CI 1.00 15:00 - 17:00				
17:00							
18:00							
19:00							

# Programa

## **PARTE 1 TECNOLOGIA**

SEMANA 1,2 –TECNOLOGIA CMOS

SEMANA 3,4 – MODELOS ELÉCTRICOS PARA  
TRANSISTORES CMOS

## **PARTE 2 CIRCUITOS DIGITAIS**

SEMANA 5,6,7 – LÓGICA COMBINATÓRIA

SEMANA 8,9 – LÓGICA SEQUENCIAL ESTÁTICA

SEMANA 10,11 – LÓGICA SEQUENCIAL DINÂMICA

SEMANA 12 - MEMÓRIAS

# Bibliografia

[1] R. Baker, H. Li, and D. Boyce, CMOS Circuit Design and Simulation, IEEE Press 1998, ISBN 0-7803-3416-7

[2] J. Rabaey, Digital Integrated Circuits - A Design Perspective, Prentice-Hall 1996, ISBN 0-13-178609-1

# AVALIAÇÃO

- Dois projecto obrigatórios (projecto 1) e (projecto 2).
- É obrigatório uma nota mínima de 10 em ambos.
- O deadline para o projecto 1 é 18.11.2016.
- O deadline para o projecto 2 é 16.12.2016.
- O relatório é defendido durante uma apresentação oral.

## Nota final avaliação continua

$$\text{NOTA\_FINAL} = (1/3 \times \text{N\_PROJECTO1} + 2/3 \times \text{N\_PROJECTO2})$$